

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011734012 **Image available**

WPI Acc No: 1998-150922/199814

XRPX Acc No: N98-120018

**Surface conduction type electron emitting element for flat panel display,
field emission display - has charged electrode arranged in shape of swirl
which forms pixel electrode**

Patent Assignee: DAINIPPON PRINTING CO LTD (NIPQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10021823	A	19980123	JP 96194080	A	19960705	199814 B

Priority Applications (No Type Date): JP 96194080 A 19960705

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10021823	A	13	H01J-001/30	

Abstract (Basic): JP 10021823 A

The electron emitting element (10) has an electron emission film (14) which emits an electron by energisation of a charged electrode. The charged electrode is arranged in the shape of a swirl at an alternately constant space and forms a pixel electrode. The negatively charged electrode occupies half of the external periphery of the electron element.

ADVANTAGE - Increases brightness and amount of electron emission.
Simplifies alignment of substrates when arranging large number of substrates. Increases opposing distance of electrodes.

Dwg.2/20

Title Terms: SURFACE; CONDUCTING; TYPE; ELECTRON; EMIT; ELEMENT; FLAT;
PANEL; DISPLAY; FIELD; EMIT; DISPLAY; CHARGE; ELECTRODE; ARRANGE; SHAPE;
SWIRL; FORM; PIXEL; ELECTRODE

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01B3C; V05-D01C5; V05-D05C5

THIS PAGE BLANK (USPTO)

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30		H 0 1 J	B
	9/02			B

審査請求 未請求 請求項の数 5 F D (全 13 頁)

(21) 出願番号 特願平8-194080

(22) 出願日 平成8年(1996) 7月5日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72) 発明者 細谷 守男

東京都新宿区市谷加賀町一丁目1番1号

大日本印刷株式会社内

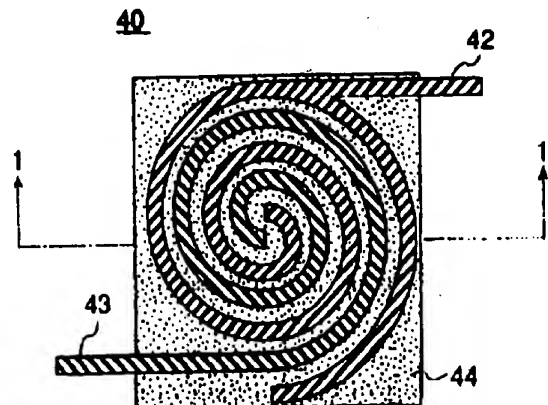
(74) 代理人 弁理士 小西 淳美

(54) 【発明の名称】 電子放出素子およびその製造方法

(57) 【要約】

【課題】 フラットパネルディスプレイへの利用に適するように、特性を改善した電子放出素子とその製造方法を提供する。

【解決手段】 基板上に列方向に伸びた下部電極と絶縁層を介して行方向に伸びた上部電極を形成し、当該下部電極と上部電極の交差部近傍に、それぞれの電極から分岐し、正負に荷電される一対の電極を渦巻き状にかつ平行するように形成して画素電極を形成し、当該画素電極上に通電により電子放出を行う機能をもった電子放出膜を形成することにより、対向基板に対して電子の飛翔軌跡が横流れせず、かつ、電子放出量の多い電子放出素子が得られる。



【特許請求の範囲】

【請求項1】 それぞれ正または負に荷電される電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子において、前記正または負に荷電される電極が、交互に一定の間隔で渦巻き状に配置されて画素電極を形成していることを特徴とする電子放出素子。

【請求項2】 渦巻き状に配置された電極のうち、負に荷電される電極が最外周の2分の1以上を占めるように配置されていることを特徴とする請求項1記載の電子放出素子。

【請求項3】 それぞれ正または負に荷電される一対の渦巻き状の電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子の製造方法において、

基板上に、列方向をなし負に荷電される下部電極であって渦巻き状画素電極の一方の電極とも導通する下部電極パターンをパターン形成する工程と、

画素電極形成部以外の部分に、当該下部電極と交差する絶縁層を形成する工程と、

当該絶縁層上行方向をなし正に荷電される上部電極と、当該上部電極から分岐して下降し、前記渦巻き状画素電極の他方の電極パターンとをパターン形成する工程と、

前記同一面上に形成された一対の渦巻き状画素電極の表面に通電により電子放出を行う機能をもった電子放出膜を形成する工程、とからなることを特徴とする電子放出素子の製造方法。

【請求項4】 それぞれ正または負に荷電される一対の渦巻き状の電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子の製造方法において、

基板上に、列方向をなし負に荷電される下部電極であって渦巻き状画素電極の一方の電極とも導通する下部電極と、前記渦巻き状電極の他方の渦巻き状電極パターンをパターン形成する工程と、

画素電極形成部以外の部分に、当該下部電極と交差する絶縁層を形成する工程と、

当該絶縁層上行方向をなし正に荷電される上部電極と、当該上部電極から分岐して下降し、前記渦巻き状の電極の他方の電極との接続部を形成するパターンをパターン形成する工程と、

前記同一面上に形成された一対の渦巻き状画素電極の表面に通電により電子放出を行う機能をもった電子放出膜を形成する工程、とからなることを特徴とする電子放出素子の製造方法。

【請求項5】 渦巻き状に配置された電極のうち、負に荷電される電極が最外周の2分の1以上を占めるように配置することを特徴とする請求項3または4記載の電子放出素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子に関し、特に、表面伝導型の電子放出素子に関する。

【0002】

【従来の技術】フラットパネルディスプレイの一種として、FED (Field Emission Display) が精力的に研究されている。このFEDは、カソード基板とアノード基板とを対向させ、カソード基板上に多数の電子放出素子を配置し、この電子放出素子からアノード基板に向けて電子を放出させ、アノード基板の蛍光体層を発光させるものである。カソード基板上に形成される電子放出素子は、個々の画素に対応することになる。これまで利用されている電子放出素子は、電子放出に適した尖鋭な突起構造を有するものが一般的であり、たとえば、先端部が尖った円錐状の金属からなる電子放出素子が広く利用されている。

【0003】これに対して、近年、表面伝導型の電子放出素子が注目を浴びている。これは、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生じる現象を利用した電子放出素子である。このような電子放出現象は、1965年に「ラジオエンジニアリングエレクトロフィジックス (Radio Eng. Electron. Phys.) 第10巻、1290~1296頁」に、エム・アイ・エリンソン (M.I. Elinson) らによって報告されて以来、今日に至るまで種々の報告がなされている。具体的には、エリンソンらによって開発されたSnO₂ (Sb) 薄膜をはじめ、Au薄膜、ITO薄膜、カーボン薄膜などで、この表面伝導型の電子放出現象が報告されている。

【0004】また、最近では、特公平6-101297号公報に、微粒子を分散した面を挟持した絶縁層を用いて、この表面伝導型の電子放出素子を構成する技術が開示されており、特公平6-87392号公報には、微粒子を含む薄膜導電体膜に通電加熱を施すことにより、表面伝導型の電子放出機能をもった電子放出素子を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】上述したように、表面伝導型の電子放出素子は、FEDなどのフラットパネルディスプレイへの利用が期待されている素子であり、このようなディスプレイへ応用する場合、基板上に多数の素子を行列状に配置し、各素子からの電子放出をそれぞれ独立して制御できるようにする必要がある。

【0006】従来の表面伝導型電子放出素子の課題は、従来構造では、基板上に平行に向かい合う画素電極間に電子放出物質が存在するために、電子が横方向に飛翔する傾向を除去できないという問題である。このため、特にカラー基板の場合は、蛍光体と対応する画素電極側とのアライメント (すなわち位置合わせ) が困難になると

いう問題が生じ、その結果、色純度やコントラストが低下する原因となる。そこで本発明は、電子が横方向に飛翔しない新規な構造の電子放出素子とその製造方法を提供することを目的とする。

【0007】電子放出素子をディスプレイへ応用するための第2の課題は、駆動に必要な配線をできるだけ単純化するということである。上述のように、行列状に配置された多数の電子放出素子をそれぞれ独立して制御するためには、基板上に縦横に巡った配線を施し、これら配線に対する電圧を制御することにより、個々の素子からの電子放出を制御できるようにしなければならない。ところが、従来の電子放出素子に対してこのような配線を施すためには、基板上にかなり複雑な立体配線層を形成する必要があり、製造プロセスはかなり複雑にならざるを得ない。このため、やはり製造コストの高騰を招くことになる。

【0008】

【課題を解決するための手段】

(1) 本発明の電子放出素子の態様は、それぞれ正または負に荷電される電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子において、前記正または負に荷電される電極が、交互に一定の間隔で渦巻き状に配置されて画素電極を形成していることを特徴とする電子放出素子、にある。この電子放出素子によれば、電子が画素電極の中心部に向かって放出されるので、必ず電子の飛翔方向成分のうち、基板に平行な運動方向と反対向きの電場を横切るために対向基板に向かう電子が横流れしない電子放出素子が得られる。

【0009】(2) 本発明の電子放出素子の第2の態様は、上述の第1の態様に係る電子放出素子において、渦巻き状に配置された電極のうち、負に荷電される電極が最外周の2分の1以上を占めるように配置されていることを特徴とする。この電子放出素子によれば、特性が更に改善される。

【0010】(3) 本発明の電子放出素子の製造方法の第1の態様は、それぞれ正または負に荷電される一対の渦巻き状の電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子の製造方法において、基板上に、列方向をなし負に荷電される下部電極であって渦巻き状画素電極の一方の電極とも導通する下部電極パターンをパターン形成する工程と、画素電極形成部以外の部分に、当該下部電極と交差する絶縁層を形成する工程と、当該絶縁層上行方向をなし正に荷電される上部電極と、当該上部電極から分岐して下降し、前記渦巻き状画素電極の他方の電極パターンとをパターン形成する工程と、前記同一面上に形成された一対の渦巻き状画素電極の表面に通電により電子放出を行う機能をもった電子放出膜を形成する工程、とからなることを特徴とする電子放出素子の製造方法、にある。この電子放出素子の製造方法によれば、特性の優れた電子放

出素子を容易に製造することができる。

【0011】(4) 本発明の電子放出素子の製造方法の第2の態様は、それぞれ正または負に荷電される一対の渦巻き状の電極上に通電により電子放出を行う機能をもった電子放出膜を形成してなる電子放出素子の製造方法において、基板上に、列方向をなし負に荷電される下部電極であって渦巻き状画素電極の一方の電極とも導通する下部電極と、前記渦巻き状電極の他方の渦巻き状電極パターンをパターン形成する工程と、画素電極形成部以外の部分に、当該下部電極と交差する絶縁層を形成する工程と、当該絶縁層上行方向をなし正に荷電される上部電極と、当該上部電極から分岐して下降し、前記渦巻き状の電極の他方の電極との接続部を形成するパターンをパターン形成する工程と、前記同一面上に形成された一対の渦巻き状画素電極の表面に通電により電子放出を行う機能をもった電子放出膜を形成する工程、とからなることを特徴とする電子放出素子の製造方法、にある。この電子放出素子の製造方法によれば、特性の優れた電子放出素子を、更に精度よく製造することができる。

【0012】(5) 本発明の電子放出素子の製造方法の第3の態様は、請求項3または4記載の電子放出素子の製造方法において、渦巻き状に配置された電極のうち、負に荷電される電極が最外周の2分の1以上を占めるように配置することを特徴とする。この電子放出素子の製造方法によれば、更に特性の優れた電子放出素子を、容易に製造することができる。

【0013】

【発明の実施の形態】以下、本発明を図示する実施形態に基づいて説明する。

【0014】§1. 従来の電子放出素子の構造および動作原理

はじめに、従来の一般的な表面伝導型の電子放出素子の構造および動作原理を説明しておく。図1は、従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。この例では、電子放出素子10は、ガラス基板11上に電極12、13を形成し、更にその上に電子放出膜14を形成することにより構成されている。電子放出膜14は、カソード電極として機能することになり、たとえば、 SnO_2 、 In_2O_3 、 PbO などの金属酸化物、 Au 、 Ag などの金属、カーボンその他各種半導体など、表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。一方、対向基板20は、ガラス基板21上に透明電極22および蛍光体層23を形成したものである。透明電極22は、たとえばITOなどの材料で構成され、アノード電極として機能することになる。

【0015】図2は、図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図1に示されていることになる。電極12および13が所定間

隔をおいて向き合っており、その間に電子放出膜14が形成されている状態が明瞭に示されている。

【0016】いま、図1に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、電極13は接地され、電極12には電源31から負の電圧が印加される。また、電子放出素子10と対向基板20との間にも、電源32によってカソード／アノード間電圧が印加されるが、この図1に示す状態では、スイッチ35が開いているため、電圧印加は行われていない。さて、電極12、13によって、電子放出膜14の両側に電圧が印加されると、電子放出膜14の膜表面部分に、図に矢印で示したような電子放出が起こる。これが、表面伝導型の電子放出として知られている現象である。

【0017】図3は、図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状況を示す断面図である。ここで、スイッチ35を閉じてカソード／アノード間電圧を印加すれば、図3に示すように、電子放出膜14の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでは、説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリクス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。なお、このようなフラットパネルディスプレイでは、スイッチ35を閉じた状態のままとし、各画素ごとに電源31からの印加電圧を調節して、画素ごとの発光状態を制御するのが一般的である。より具体的には、電子放出膜14に与える印加電圧の値および印加時間を調節することにより、対向基板20個への電子の飛翔量を制御することができる。

【0018】さて、このような電子放出素子10を利用したフラットパネルディスプレイの技術的課題は、既に述べたように、電子放出素子から放出された電子を対向基板の対応する方向に垂直に飛翔させることである。図1において説明したように、電極12には負の電圧が荷電され、電極13は接地されているので、電子放出膜14から放出された電子は放出当初から、矢印で示す方向への方向性を有している。この状態で、スイッチ35を閉じると電源32により対向基板との間でも電圧が印加され、電子は対向基板側へ向かうが、その方向は、図3にも図示されるように横方向へかなり流れた軌跡を描き、対応する蛍光体に電子が到達しない場合が生じる。このため、特にカラー画像を形成する場合には、フラットパネルの製造上、上下のマトリクス基板のアライメントが困難になるという問題を生じ、その結果、色純度やコントラストが低下する原因となる。

【0019】また、駆動用配線の単純化という課題も、従来構造の電子放出素子を配列したマトリクス基板で

は、解決することが困難な課題である。図1および図3では、1画素分の電子放出素子についての配線を示したが、ディスプレイに利用する場合には、ガラス基板11上に縦横に配列された多数の電子放出素子のそれぞれに対して独立した配線を施し、各電子放出素子ごとに、電子放出膜14への印加電圧を独立して制御できるようにしなければならない。ガラス基板11にこのような配線を施すには、数多くのパターニングプロセスが必要となり、製造工程は複雑化せざるを得ない。これも製造コストを高騰させる要因のひとつであり、実用化への障害となる。

【0020】図4は、図1に示す電子放出素子10の主要部分の寸法を示した図である。一般的なフラットパネルディスプレイの場合、ここに示す各部の寸法は、たとえば、 $D1=15\mu m$ 、 $D2=80\mu m$ 、 $D3=0.2\mu m$ 、 $D4=0.5\mu m$ 、また、図示はされていないが、電極12、13が並行して対向する距離、 $L1=80\mu m$ 、といった程度の値になる（もちろん、これらの数値は一例として示したものであり、具体的な数値は個々のディスプレイによってそれぞれ異なる。）これらの寸法のうち、特に素子特性に影響を与える寸法は電極12、13間の間隔D1と電極12、13が対向する距離L1である。この間隔D1は、電子放出膜14に加わる電界強度を支配するものであり、間隔D1が変わると、電子の放出量も変わってくることになる。そこで、表示特性が全面にわたって均一なディスプレイを実現するためには、ガラス基板11上に配列された個々の電子放出素子についての寸法D1を均一にする必要がある。このため、実際の製造プロセスにおいては、たとえば、 $D1=15\mu m \pm 2\mu m$ といった所定の寸法精度が要求されることになり、高精度なパターニングプロセスが必要になる。一方、電極12、13が対向する距離L1は、現実には画素電極が配置される部分の大きさにより固定的に限定されるので、図2のように対向して配置される電極である場合は、L1を調整することは殆どできない。

【0021】§2. 本発明の電子放出素子の構造および動作原理

上述した従来の電子放出素子では、電子放出膜14はガラス基板11上に並行して配置された一対の電極間の膜として形成されている。これは、一方の電極から他方の電極の電極に電子を放出するという一般的な考えに基づくものである。これに対し、本願発明者は、正または負に印加される一対の電極を渦巻き状に平面上に設け画素電極とすることを着想するにいたった。ここに画素電極とは、電子放出素子をディスプレイパネルに使用する場合に、画像の単位となる素子の電極という意味であり、電子放出膜が設けられている一個一個の素子の正負の電極をいうこととする。

【0022】本発明の構造の特徴は、ガラス基板11上に、一対の電極を渦巻き状に形成し、この渦巻き状の電

極上に電子放出膜14を形成することにより構成されている。そして本発明では渦巻き状の電極のうち、負に荷電される電極が、画素電極の極力外側となり、正の電極がその内側となるように配置するのが好ましく、渦巻き状の電極の外周の2分の1以上、より好ましくは、全外周近くを負の電極が占めるように配置される点に特徴がある。そうすることにより、電子放出膜から放出される電子は周囲の負の電極から中心の正の電極に向けて飛翔することになり、カソード/アノード間に電位がかけられた場合にも、アノード側対向基板に対して拡散しない電子の飛翔軌跡が得られることになる。また、電極を渦巻き状に形成するので、正の電極と負の電極が対向する距離を長くすることができるので、電子の放出量も多くなり、ディスプレイパネルでは、画面の輝度を高くすることができるという利点もある。

【0023】図5は、本発明の一実施形態に係る電子放出素子40および対向基板20の構造を示す断面図である。電子放出素子40は、電極42と電極43とが、渦巻き状に形成されていて、図5の断面図では、両電極の断面が交互にあらわれている。この渦巻き状の電極表面に電子放出膜44が形成された構成となっている。いま、このような構造をもった電子放出素子40について、図5に示すように、各部に配線を施した場合に生じる現象について考えてみる。この配線によれば、一方の渦巻き状電極43は接地電位に対して電源33から正の電位が荷電され、他方の渦巻き状電極42には電源31から負の電圧が荷電される。また、電子放出素子40と対向基板20との間にも、電源32によってカソード/アノード間電圧が印加されるが、この図5に示す状態では、スイッチ35が開いているため、電圧印加は行われていない。さて、渦巻き状電極42および他方の渦巻き状電極43によって、電子放出膜44間に電圧が荷電されると、電子放出膜44の膜表面部分に、図に矢印で示したような電子放出が起こる。すなわち、表面伝導型の電子放出現象が起こることになる。

【0024】図6は、図5に示す電子放出素子40におけるガラス基板11上に形成された構成要素の上面図である。この図における切断線1-1による断面が図5に示されていることになる。一対の電極42、43が渦巻き状に形成されていて、渦巻きの外周部分には、負に荷電される電極42が配置されるようにされている。図では、便宜上、電極42、43が明瞭にあらわれているが、実際には、この電極表面には、電子放出膜が形成されるので、電極は隠蔽されることになる。図6の画素電極では、負に荷電される電極42が画素電極のほぼ全外周を占めるように形成されている。

【0025】図7は、図5に示す本発明になる電子放出素子40から対向基板20に向けて電子放出が行われている状態を示す断面図である。ここで、スイッチ35を閉じてカソード/アノード間電圧を印加すれば、図7に

示すように、電子放出膜44の表面に放出された電子は、アノード側の対向基板20へと飛翔することになり、このようなカソードからアノードへと向かう電子の衝突により、蛍光体層23が蛍光を発することになる。ここでも説明の便宜上、1画素分の構成要素のみを示したが、このような1画素分の構成要素を縦横にマトリクス状に配列すれば、画素を二次元平面上に並べたフラットパネルディスプレイを実現することができる。実際には、従来の電子放出素子を用いたフラットパネルディスプレイと同様に、スイッチ35を閉じた状態のままで、各画素ごとに電源31からの荷電電圧を調節して、画素ごとの発光状態を制御することができる。

【0026】図3の電子の飛翔軌跡と図7の飛翔軌跡を比較して明らかなように、図7では対向基板20への飛翔軌跡が、右側の電極からでた電子と左側の電極からでた電子とが対称的な飛翔軌跡を描くので、必ず電子の飛翔方向成分のうち、基板に平行な運動方向と反対向きの電場を横切るため、横方向の運動に対してブレーキが働き、結果として縦方向の運動成分のみが残る（もしくは強調される。）。このため、カソード電極とアノード電極（対向基板）との位置合わせの問題も解決されることになる。

【0027】図8は、この電子放出素子40の主要部分の寸法を示した図である。ここで、D1としては、実用上、 $D1=0.01\mu\text{m}\sim 20\mu\text{m}$ 程度、より好ましくは、 $1\mu\text{m}\sim 10\mu\text{m}$ 程度に設定するのがよい。また、 $D2=80\mu\text{m}$ 、 $D3=0.2\mu\text{m}$ 、 $D4=0.5\mu\text{m}$ は、図4の場合と変わらない。一方、電極42と43が対向する距離、L1は渦巻き状の電極の延長した長さとなるので、電極を細く長くして渦巻きの回数を増やせば増やす程、大きくなることになる。従って、画素電極を設ける面積が一定であれば、電極を細くして密に渦巻きを設ければ、D1の値も小さくなり、L1も大きくなるので、放出電子の量も大きくなることが推定される。しかし、電極が細くなり過ぎる場合には、電極間が断線する等、電子放出にマイナスの影響を与えることが考えられるが、本願発明では、その最適な条件までは把握されていない。

【0028】図9は、本発明の電子放出素子に使用される画素電極の他の実施例の形状を示す平面図である。図9(a)は、正の電極と、負の電極が電子放出膜が形成される正方形の領域の異なる対角部分から導入されて、それぞれ中心部に向かって渦巻きを形成するものである。この場合には、渦巻きの最外周部分には正の電極と負の電極が、それぞれ1/2を占めることになる。なお、図6の電極パターンは、この図9(a)の42の電極から分岐した電極を設けて、外周部に配置した構造となっている。図9(b)は、正の電極と、負の電極が一対になって電子放出膜が形成される正方形の領域に導入されて、中心部に向かって渦巻きを形成するものであ

る。この場合には、渦巻きの最外周部分の全てに、負の電極42を配置することができる。渦巻きの最外周部分を負の電極とする場合は、前記のように、画素電極の中心部に向けて電子飛翔をさせることができるからである。

【0029】なお、基板上に、この渦巻き状の画素電極を形成する場合には、正の電極（または負の電極）をパターン形成した後に、他方の電極をパターン形成してもよいし、双方の電極を同時に基板上にパターン形成してもよい。双方の電極を同時に基板上にパターン形成する場合には、両電極の材料は同質のものとなるが、導電性のもので一定の特性を具備する限り問題はないし、電極間の正確な間隔精度を保つ上では好ましい。

【0030】§3. ディスプレイへ応用する実施形態
これまで、単一の電子放出素子についての構造を述べてきたが、本発明の電子放出素子は、フラットパネルディスプレイへの応用に特に適している。この場合、基板上に多数の電子放出素子を縦横に配置して用いることになる。以下、このような実施形態について述べることにする。

【0031】図10は、ガラス基板100上に4つの電子放出素子200を形成した状態を示す斜視図である。ディスプレイへ応用する場合、1つの電子放出素子が1画素分の表示動作を行うことになるので、この図10に示す例では、2×2の合計4画素分の表示が可能になる。もちろん、実際のディスプレイでは、より多数の電子放出素子が配列されることになる。なお、図10の斜視図において、各構成要素に施されているハッチングは、前述したように、断面を示すためのものではなく、個々の構成要素を容易に識別できるようにするためのものである。この図10に示す電子放出素子200の構造は次のとおりである。

【0032】まず、ガラス基板100上に、列方向に伸びた下部電極110を行方向に複数（この例では2本）配置する。一方、行方向に伸びた上部電極130を列方向に複数（この例では2本）配置する。このとき、上部電極130は絶縁層120を介してガラス基板100上に形成するようにする。すなわち、絶縁層120は上部電極130に対して、いわば「橋げた」の役割を果たすことになり、下部電極110との交差部分においては、この「橋げた」として機能する絶縁層120の存在により、上部電極130が下部電極110を跨ぐ形になる。このような構造では、結局、上部電極130の形成領域のうち、下部電極110との交差部分には、下部電極110／絶縁層120／上部電極130という三層構造体が形成され、それ以外の部分には絶縁層120／上部電極130という二層構造体が形成されるようになる。

【0033】もっとも、原理的には、上部電極130の下方の全領域に絶縁層120を形成する必要はなく、少なくとも下部電極110との交差部分に絶縁層120を

設け、三層構造体が形成されるようにすれば足りる。したがって、この交差部分以外の領域については、必ずしも絶縁層120を設ける必要はなく、ガラス基板100の上面に直接上部電極130が形成されるような構造にしてもかまわない。しかしながら、実用上は、図10に示すように、上部電極130の下方の全領域にわたって絶縁層120を形成するようにし、上部電極130の上面がガラス基板100にほぼ平行な平坦面をなすように構成するのが、断線などを避ける上で好ましい。

10 【0034】さて、図10に示すように、各交差部分の近傍には、上部電極層130から分岐した渦巻き状の電極と、下部電極110から分岐した渦巻き状の電極とが、相互に交絡した一对の渦巻き状画素電極が形成され、その上面部には、通電により電子放出を行う機能をもった電子放出膜140が形成されている。図10に示す斜視図では、この渦巻きの構造が、電子放出膜に隠されて十分に表現されていないが、各電極交差点部近傍には、図9に示すような渦巻き状電極が形成されていることになる。

20 【0035】さて、ここで重要な点は、下部電極110および上部電極130は、それぞれガラス基板100上で縦横に伸びた配線層としても機能しうる点である。前述したように、ディスプレイとして利用するためには、マトリックス状に配列された個々の電子放出素子に対して、それぞれ別個に電子放出を制御できるような配線が必要になる。従来の構造の電子放出素子の場合、このような配線のための層を別途用意する必要があるため、基板上の構造は非常に複雑になる。これに対して、本発明の電子放出素子の場合、下部電極110および上部電極130が配線の機能を果たすため、別途配線層を設ける必要はない。すなわち、本発明に係る電子放出素子によれば、駆動に必要な配線を単純化するという課題が達成できることになる。

30 【0036】図11は、本発明に係る電子放出素子200の駆動原理を説明するための図である。なお、ハッチングは、図11の各構成要素との対応を示すためのものである。ここでは、5行5列、合計25個の電子放出素子200が形成された例が示されている。すなわち、列方向に伸びた下部電極110が行方向に5本配置されており、また、行方向に伸びた上部電極層130が列方向に5本配置されており、25か所に交差部分が形成されている。そして、各交差部分には、それぞれ別個独立した電子放出素子200が形成されており、各電子放出素子200からの電子放出は、それぞれ独立して制御することができる。

40 【0037】このような制御を行うために、セレクト150およびドライバ160が設けられている。セレクト150は、5本の上部電極130のうちのいずれか1本を選択して接地する機能を果たす。一方、ドライバ160は、5本の下部電極110のそれぞれに、所定の電圧

信号を与える機能を有する。セレクト150が、5本の上部電極130を順番に選択する動作を行えば、5本の行を時分割して順次アクセスすることが可能になる。そして、ドライバ160から供給する信号により、現在アクセス中の行に所属する電子放出素子200からの電子放出が制御される。たとえば、図示のように、セレクト150が第1行目を選択して接地した状態において、ドライバ160から、第1列目の下部電極110に対して負の電圧供給を行えば、第1行第1列目の電子放出素子については、図7に示す配線がなされたことになり、対向基板20への電子放出が起こることになる。このような駆動方法は、いわゆる、「単純マトリクス駆動」と呼ばれている方法である。

【0038】このように、本発明によれば、下部電極110および上部電極130をそのまま配線層として利用することができるため、ディスプレイに適用する場合にも構造は非常に単純になり、製造プロセスも単純化され、製造コストの低減を図ることができるようになる。

【0039】§4. ディスプレイへ応用する場合の製造工程

最後に、図10に示す構造を得るための製造工程の一例を、図12～図20に示す斜視図を参照しながら説明する。なお、これらの斜視図においても、図10に示す各構成要素との対応関係を明らかにするためのハッチングを施すことにする。

【0040】まず、図12に示すように、ガラス基板100（絶縁性の基板であれば何でもよい）上の全面に導電性をもった第1の準備層115を、真空蒸着法やスパッタ法など一般的な成膜方法を用いて形成する。続いて、この第1の準備層115を図12のM1のフォトマスク（下部電極部と画素電極部のパターンを有する。）を使用してパターンニングして、図13に示すように、下部電極110と画素電極「G」（渦巻き状の部分全体をいう。）を形成する。図13において、「J」の部分は後に上部電極との接続がなされる部分であるが、接続を容易とするように画素電極の部分よりは幅を大きく形成してアライメントを容易とすることが望ましい。

【0041】この第1の準備層115のパターンニングには、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。もっとも、第1の準備層115としては、必ずしもその時点で導電性をもった層を用いる必要はない。たとえば、感光性をもった樹脂中に金属微粒子を分散させてなる金属微粒子分散型レジスト（いわゆる金属ペースト）をガラス基板100上に塗布して感光性のペースト層を形成し、このペースト層を第1の準備層115としフォトリソグラフィの手法により、このペースト層を露光後に現像してパターンニングを行い、最後に焼成工程を行って、ペースト層内の樹脂成分を除去すれば、導電性をもった下部電極層110と画素電極

「G」を得ることができる。なお、感光性のペースト層

は、感光性をもった樹脂と有機導電性樹脂との混合からなる感光性レジストにより形成してもよい。

【0042】続いて、ガラス基板100および下部電極110上に、図14に示すように、絶縁性の中間層125をスクリーン印刷法等によりパターン形成する。その後、この絶縁性の中間層125を図14のM2のフォトマスクを用いて、図15のようにパターンニングして絶縁層120を形成する。この絶縁層120を形成するためのパターンニングも、一般的なフォトリソグラフィおよびエッチングの手法を用いればよい。また、上述したように、ペースト層を用いることもでき、この場合には更に焼成を行う。絶縁性の中間層は基板上全面に塗布して最終的に図15のようにパターン形成しても、勿論問題ないが、図14のように、パターン形成するのは材料の節減のためである。更に、図16に示すように、この絶縁層120およびガラス基板100上に、第2の準備層135をスクリーン印刷法等によりパターン形成する。この第2の準備層135としては、第1の準備層115と同様に、導電性の層を用いてもよいし、上述した感光性のペースト層を用いてもよい。そして、第2の準備層135に対するパターンニングをM3のフォトマスクを使用して行う。M3のフォトマスクには、上部電極パターンとそれから分岐して画素電極との接続を行うパターン部が形成されている。所定の現像、エッチング等の処理を行い、絶縁層120上に導電性をもった上部電極130とそれから分岐して下降する接続部分「J」を形成する。

【0043】こうして、下部電極110と上部電極130との交差部近傍部分において、下部電極110から分岐した渦巻き状電極と、上部電極130から分岐した渦巻き状電極により画素電極「G」が構成される（図17）。続いて、図18に示すように、この渦巻き状の画素電極上に、通電により電子放出を行う機能をもった電子放出膜140を形成すれば、図18に示すような電子放出素子を得ることができる。なお、電子放出膜140を形成する工程としては、たとえば、表面伝導型の電子放出現象が起こる材料を有機溶媒に溶かした溶剤を用意し、この溶剤を渦巻き状電極上に塗布乾燥させるような方法を採ることができる。

【0044】なお、上記においては、画素電極「G」の双方の電極を、図12のように、M1のフォトマスクを使用して同時に形成したが、渦巻き状の画素電極の一方の電極のパターン形成と他方の電極のパターン形成とを別々の工程で行ってもよい。その場合のパターンニングは、図19と図20のように、フォトマスクM4、M5を使用することにより行うことができる。双方の電極を同時に形成する場合は、電極間の間隔等の精度維持のためには好ましいが、上記のように、上部電極と渦巻き状電極の一方の電極との接続を「J」の部分で確実に行う必要が生じる。

【0045】§5. その他の変形例

以上、本発明をいくつかの実施形態に基づいて説明したが、本発明はこれらの実施形態に限定されるものではなく、この他にも種々の形態で実施可能である。以下にいくつかの変形例を述べておく。

【0046】図10に示す構造によれば、絶縁層120が上部電極130に沿って形成されており、いわば橋げたとしての役割を果たしているが、逆に、絶縁層120を下部電極110に沿って形成し、いわゆる「カマボコ型」の絶縁層120によって下部電極110全体を覆う構造にしてもよい。別言すれば、下部電極110の上面および側面を覆うようにして列方向に伸びるチューブ状の絶縁層120を形成し、このチューブ状の絶縁層120が上部電極130をトンネルのように貫通する構造が得られることになる。また、図示の各実施例では、画素電極は平面上に形成しているが、予め基板の画素電極の中心となる部分を凸状に加工し、その凸状部の中心に画素電極の中心が位置するように渦巻き状電極を形成してもよい。こうすることにより、電子の放出が対向基板へ向かう角度が得られるので、電子の収束性を高めることができる。

【0047】

【実施例】

<材質に関する実施例>図10に示す構造体の各部の材質としては、次のような材料を用いるのがよい。

【0048】下部電極110および上部電極130：電極として機能する導電性材料であれば、どのようなものでもよいが、耐電圧性、耐熱性、加工性、耐腐食性、比抵抗性を考慮して適当な材料を選ぶのが好ましい。具体的には、Al、Ni、Pd、Pb、Pt、W、Mo、Cr、Ti、Cu、Au、Agなどの金属材料を用いるのが好ましい。

【0049】絶縁層120：特に、表面伝導性の低い材料を用いるのが好ましく、具体的には、石英ガラス、SiO₂、Si₃N₄などを用いるのが好ましい。

【0050】電子放出膜140：表面伝導型の電子放出現象が知られている材料であればどのような材料で構成してもかまわない。SnO₂、In₂O₃、PbOなどの金属酸化物、Au、Agなどの金属、カーボンその他各種半導体などが一般的に知られている材料である。この他、たとえば、特公平6-87392号公報に開示されているように、微粒子を含む薄膜導電体膜に通電加熱を行い、ジュール熱によりこの薄膜導電体膜を局所的に破壊、変形もしくは変質させて、電氣的に高抵抗な状態にすることにより、電子放出膜を形成することもできる。あるいは同公報に開示されているようなガスデポジション法により電子放出膜を形成してもよい。

【0051】<電子放出素子の製造方法に関する実施例1>

① 厚み3mmの清浄な石英ガラス基板上に、スパッタ

法により厚み3μmのCr層を堆積する。その上に、ポジ型レジスト剤（東京応化工業株式会社製「OFPR800」）をスピナにより回転塗布し、オープンにて80°Cで30分間放置し乾燥させる。空冷後、直線状の下部電極と渦巻き状の画素電極からなるパターンをフォトリソマスクM1を使用して露光し（図12）、レジストの現像、水洗を行い、オープンにて135°Cで30分間放置する。空冷後、露出したCr部分をCrエッチング液（ザ・インクテック株式会社製「MR ES」）を用いてエッチングし、水洗した。

【0052】② 次に、120°Cに保持したレジスト剥離液（東京応化工業株式会社製「クリーンストリップ」）中に、基板を5分間放置し、室温のストリップリンス液に1分間、室温のイソプロピルアルコールに1分間、それぞれ浸すことにより、レジストの剥離を行う。この基板を水洗し、後に乾燥させる。以上の工程で、Crからなる下部電極110と渦巻き状の画素電極「G」が得られた（図13）。

【0053】③ この基板上に、粒径が20Å～1μm程度のガラス微粒子を分散させた感光性レジストをスクリーン印刷法により所望のパターンに印刷することで、厚み70μmのガラスペーストパターン125を得る。オープンにて80°Cで30分間放置し、乾燥させることで、厚み45μmの絶縁体層を得る。空冷後、所望のパターン（直線状の絶縁層を形成するためのフォトリソマスクM2を使用して）を露光し（図14）、現像を行う。この基板を500°Cに保持した焼成炉にて3時間焼成し、有機成分を分解、除去することにより、厚み22μmの絶縁体層120を得る（図15）。

【0054】④ 空冷後、この基板上に、粒径が20Å～1μm程度のAu微粒子を分散させた感光性レジストをスクリーン印刷法によりパターンに印刷する。オープンにて80°Cで30分間放置し、乾燥させることで、厚み7μmのAu微粒子分散薄膜層135を得る。空冷後、直線状の上部電極パターンと渦巻き状の画素電極パターンとの接続部を有するフォトリソマスクM3のパターンを露光し（図16）、現像を行う。この基板を400°Cに保持した焼成炉にて2時間焼成し、有機成分を分解、除去し、厚み3μmのAu層を得る。以上により、上部電極および渦巻き状の下部画素電極との接続部「J」のパターニングを終了する（図17）。

【0055】⑤ 更に、有機パラジウム化合物を含む有機溶媒（興野製薬工業株式会社製「キャタペーストCCP」）からなるインキを、スクリーン印刷法で各渦巻き状画素電極「G」の表面に印刷する。そのまま、15分間放置すると、渦巻き状の画素電極「G」の表面にインキ膜が形成される。その後、約200°Cで20分間焼成し、Pdからなる微粒子を含む電子放出膜140を得る（図18）。

【0056】<対向基板の製造方法に関する実施例>

⑥ 厚み3mmの清浄な石英ガラス基板上に、スパッタ法により膜厚1 μ mのITO層を堆積する。その上に、EB蒸着法により膜厚20 μ mのZnO:Znからなる蛍光体層を蒸着形成し、対向基板20を作製した。

【0057】<電子放出動作に関する実施例>

⑦ 10⁻¹⁰ Paに保った真空チャンバー中に、上述の実施例で作製した電子放出素子と対向基板とを、3mmの間隔で平行に保持し、対向基板と電子放出素子との間のカソード/アノード電圧として5kVを印加した。また、電子放出素子の動作電圧として、上部電極層を接地電位に保ち、下部電極層に-20Vを印加したところ、蛍光基板に向かって電子放出が得られ、良好な発光特性が得られた。また、行列状に配した多数の電子放出素子を、単純マトリックス駆動し、所定の画像情報に対応した信号を与えたところ、対向基板上に画像形成がみられた。

【0058】

【発明の効果】以上のとおり、本発明によれば、渦巻き型電極パターンを有する平面型構造により電子放出素子を構成したため、電子放出が画素電極の中心に向かってなされるため、対向基板に向かう電子の飛翔軌跡が横に流れることがなく、同一基板上に多数を配列して用いるような場合にも、対向基板とのアライメントが容易となる。また、画素電極を渦巻き状としたため、正負の電極の対向する距離を長くすることができ、電子放出量を増加することができディスプレイ等に応用した場合にはその輝度を高くすることができる。

【図面の簡単な説明】

【図1】従来の表面伝導型の電子放出素子10および対向基板20の構造を示す断面図である。

【図2】図1に示す電子放出素子10におけるガラス基板11上に形成された構成要素の上面図である。

【図3】図1に示す電子放出素子10から対向基板に向けて電子放出が行われている状態を示す断面図である。

【図4】図1に示す電子放出素子10の主要部分の寸法を示した図である。

【図5】本発明の一実施形態に係る電子放出素子40および対向基板20の構造を示す断面図である。

【図6】図5に示す電子放出素子40におけるガラス基板11上に形成された構成要素の上面図である。

【図7】本発明の一実施形態に係る電子放出素子40から対向基板20に向けて電子放出が行われている状態を示す断面図である。

【図8】本発明の一実施形態に係る電子放出素子40の主要部分の寸法を示した図である。

【図9】本発明の電子放出素子に使用される画素電極の他の実施例の形状を示す平面図である。

【図10】ガラス基板100上に本発明の4つの電子放出素子を形成した状態を示す斜視図である。

【図11】本発明に係る電子放出素子200の駆動原理

を説明するための図である。

【図12】図10に示す電子放出素子を形成するための製造工程において、下部電極110と画素電極をパターン形成する工程を示す斜視図である。

【図13】図10に示す電子放出素子を形成するための製造工程において、下部電極110と画素電極が形成された工程を示す斜視図である。

【図14】図10に示す電子放出素子を形成するための製造工程において、絶縁層をパターン形成する工程を示す斜視図である。

【図15】図10に示す電子放出素子を形成するための製造工程において、絶縁層が形成された工程を示す斜視図である。

【図16】図10に示す電子放出素子を形成するための製造工程において、上部電極130と下部画素電極との接続部を形成する工程を示す斜視図である。

【図17】図10に示す電子放出素子を形成するための製造工程において、上部電極130と下部画素電極との接続部が形成された工程を示す斜視図である。

【図18】図10に示す電子放出素子を形成するための製造工程において、画素電極上に電子放出膜140を形成する工程を示す斜視図である。

【図19】図10に示す電子放出素子を形成するための製造工程において、下部電極110と渦巻き状電極の一方を形成する工程を示す斜視図である。

【図20】図10に示す電子放出素子を形成するための製造工程において、上部電極130と渦巻き状電極の他方を形成する工程を示す斜視図である。

【符号の説明】

10 電子放出素子

11 ガラス基板

12 電極

13 電極

14 電子放出膜

20 対向基板

21 ガラス基板

22 透明電極

23 蛍光体層

31 電源

40 電源

33 電源

35 スイッチ

40 電子放出素子

42 電極

43 電極

44 電子放出膜

100 ガラス基板

110 下部電極

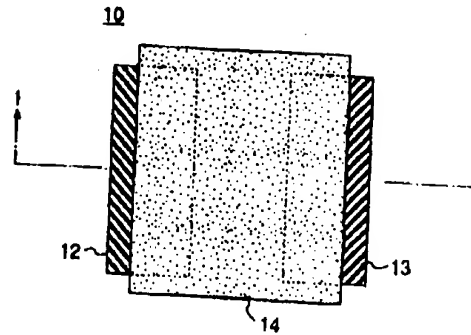
115 第1の準備層

50 120 絶縁層

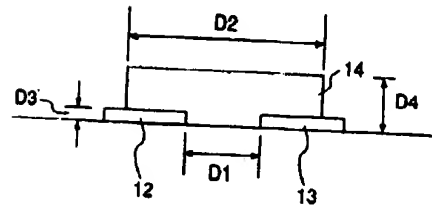
18

- 160 ドライブ
200 電子放出素子
D1～D4 各部の寸法
G 画素電極
J 接続部

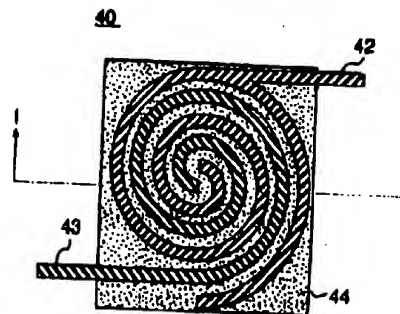
【図2】



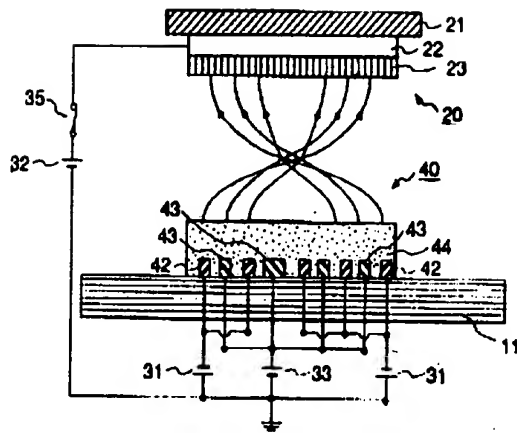
【図4】



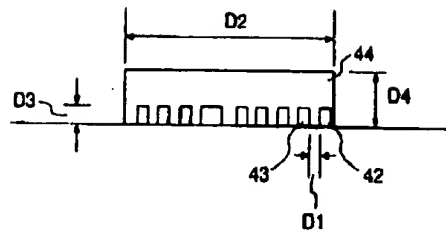
【図6】



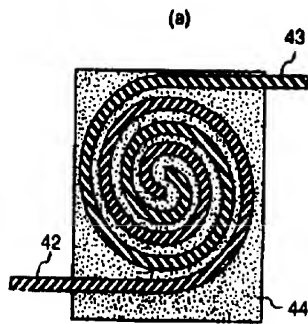
【図7】



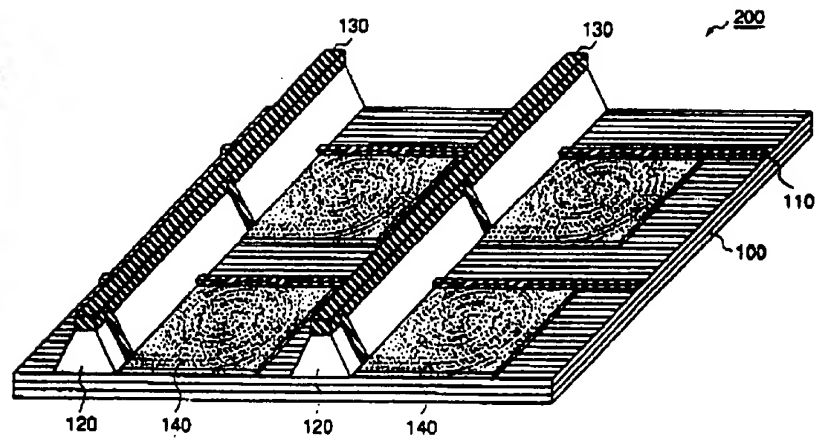
【図8】



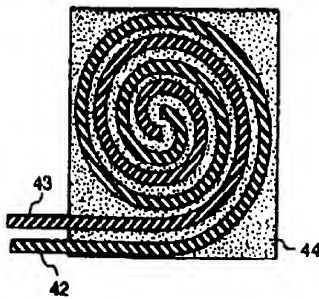
【図9】



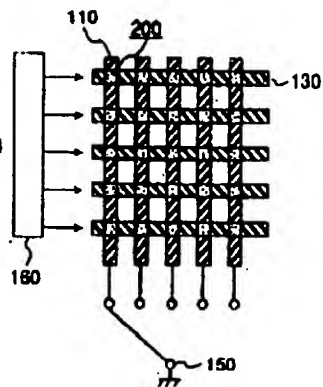
【図10】



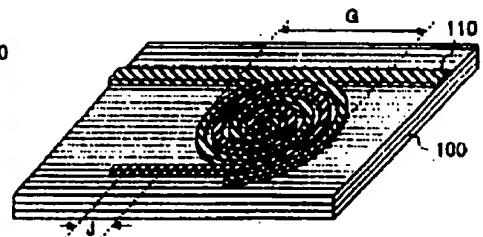
(b)



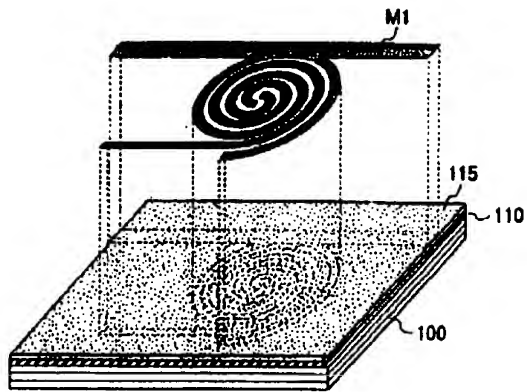
【図11】



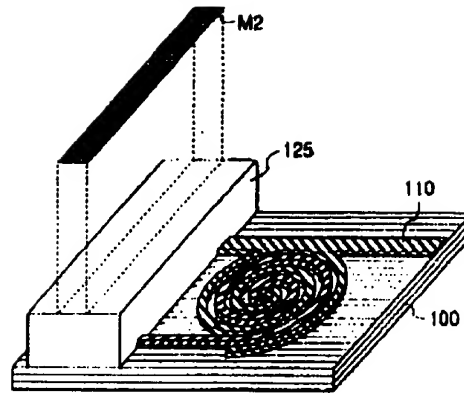
【図13】



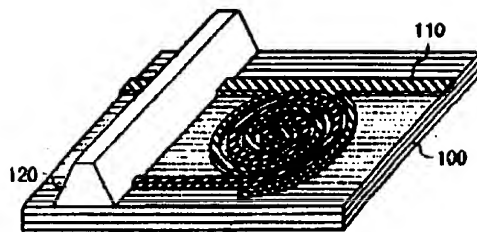
【図12】



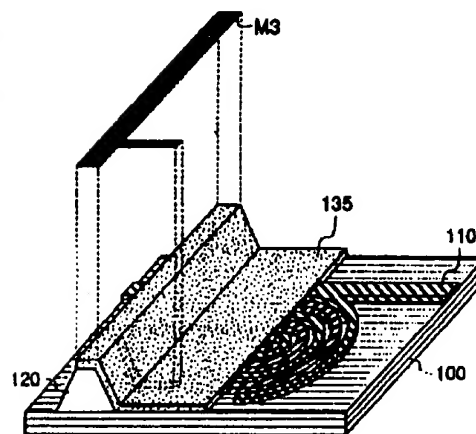
【図14】



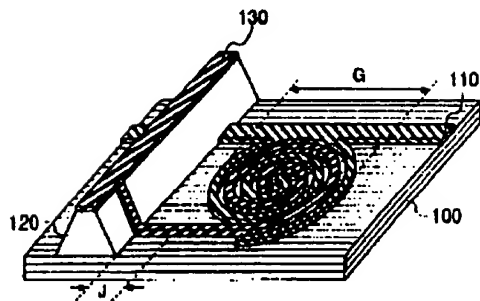
【図15】



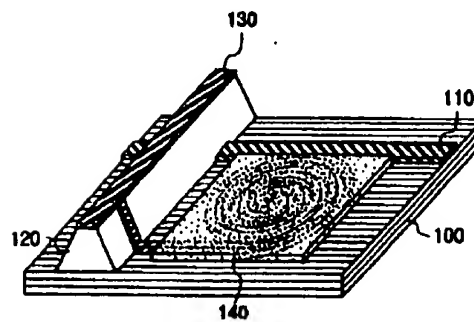
【図16】



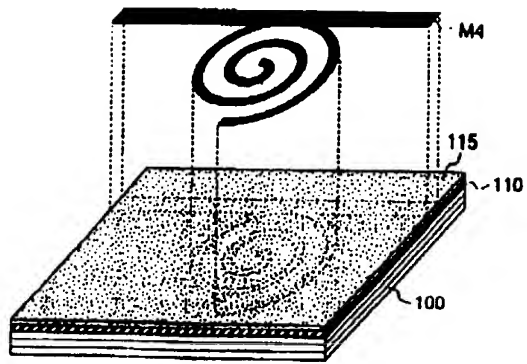
【図17】



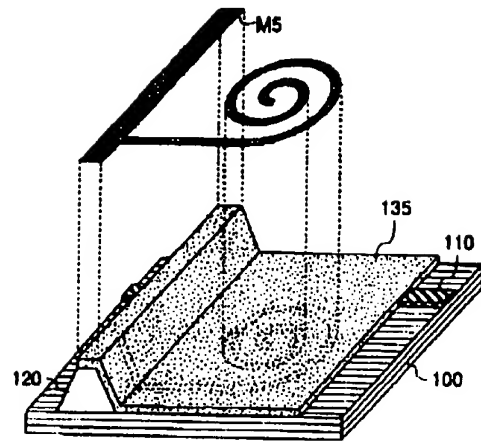
【図18】



【図19】



【図20】



THIS PAGE BLANK (USPTO)